

Блок 6.1. Общие сведения

Устройство, имеющее два устойчивых состояния, называют триггером. Он имеет два выхода, один из них называют прямым, а другой – инверсным. Потенциалы на них взаимно инвертированы: лог 1 на одном выходе соответствует лог. 0 на другом. С приходом переключающих (запускающих) сигналов переход триггера из одного состояния в другое происходит лавинообразно, и потенциалы на выходах меняются на противоположные.

В интервале между переключающими сигналами состояние триггера не меняется, т. е. триггер “запоминает” поступление сигналов, отражая это величиной потенциала на выходе. Это дает возможность использовать его как элемент памяти.

При лавинообразных переключениях на выходе триггера формируются прямоугольные импульсы с крутыми фронтами. Это позволяет использовать триггер для формирования прямоугольных импульсов из напряжения другой формы (например, из синусоидального).

При двух последовательных переключениях триггера на выходе формируется один импульс, т.е. триггер можно использовать как делитель частоты переключающих сигналов с коэффициентом, равным двум.

Триггеры можно разделить на нетактируемые и тактируемые. Нетактируемый (асинхронный) триггер может менять свое состояние

переключающими сигналами в любое время. Тактируемый (синхронный) триггер переключается синхронно с поступлением специального тактирующего импульса. Эти и другие типы триггеров, показанные в таблице классификации, подробно рассмотрены далее.

Промышленность выпускает разнообразные типы триггеров в интегральном исполнении. Кроме того, они могут быть выполнены на цифровых интегральных микросхемах, операционных усилителях и на транзисторах.

Рис.6.1

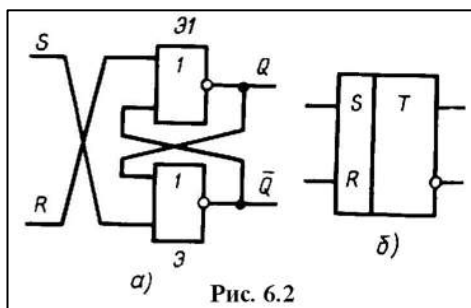
Изучив материал данной темы, студент сможет сознательно выбрать тип триггера,

наиболее соответствующего разрабатываемому устройству по функциональным возможностям, техническим и экономическим требованиям.

Блок 6.2. Нетактируемые триггеры

На выходе элемента И-НЕ (ИЛИ-НЕ) имеется инвертор (усилитель). В структуре из двух таких элементов можно обеспечить положительную обратную связь, если вход одного элемента соединить с выходом другого, и баланс амплитуд. Такой структурой является RS-триггер. Он имеет два выхода: прямой (Q) и инверсный (\bar{Q}) и два входа: S – установки прямого выхода в 1 (говорят: “установки триггера в 1”) и R – установки триггера в 0. Такой триггер является асинхронным RS-триггером. Он применяется самостоятельно, а также в качестве запоминающей ячейки входит в состав более сложных интегральных триггеров.

6.2.1. Структуры триггеров



RS-триггер на элементах ИЛИ-НЕ (рис. 6.2,а). Прежде всего рассмотрим воздействие на такой триггер комбинаций сигналов $S=1, R=1$ и $S=0, R=0$. Сочетание $S=1, R=1$ является запрещенным, так как при нем на обоих выходах триггера устанавливаются логические 0 и после снятия входных сигналов состояние его не предсказуемо.

Для элемента ИЛИ-НЕ логический 0 является пассивным сигналом: с его поступлением на вход состояние выхода элемента не изменяется. Поэтому появление комбинации $S=0, R=0$ не изменяет состояния триггера.

Логическая 1 для элемента ИЛИ-НЕ является активным сигналом: наличие ее на входе элемента однозначно определяет на его выходе логический 0 вне зависимости от сигнала на другом входе. Отсюда следует, что переключающим сигналом для рассматриваемого триггера является логическая 1, а также то, что вход S (установки

триггера в состояние $Q=1$) должен быть связан с элементом, выход которого принят за \bar{Q} .

Из сказанного ясно, что для переключения триггера в состояние $Q=1$ на его входы следует подать комбинацию $S=1, R=0$, а для переключения в состояние $Q=0$ – комбинацию $S=0, R=1$.

Пусть триггер (рис. 6.2,а) находится в состоянии 0 ($Q=0, \bar{Q}=1$), а на входах действуют сигналы $S=0, R=0$. Для его переключения в состояние $Q=1$ подадим на входы комбинацию $S=1, R=0$. Тогда на выходе элемента Э2 установится логический 0, на входах элемента Э1 будут одновременно присутствовать логические 0, и на выходе Q установится логическая 1 – триггер переключается в новое состояние ($Q=1, \bar{Q}=0$). Для его переключения из этого состояния на входы должна поступить комбинация $S=0, R=1$. После

этого на выходе Q будет логический 0, на входах элемента Э2 одновременно окажутся логические 0 и его выход примет потенциал, соответствующий $\bar{Q}=1$, –триггер переключается в состояние $Q=0$, $\bar{Q}=1$.

Из изложенного следует, что время переключения триггера ($t_{пер}$) равно удвоенному времени переключения логического элемента (удвоенному времени задержки – $2t_3$). Часто, предусматривая запас, принимают $t_{пер}=3t_3$. Для надежного переключения триггера длительность входного переключающего сигнала не должна быть меньше $t_{пер}$. Условное изображение RS-триггера приведено на рис. 6.2,б.

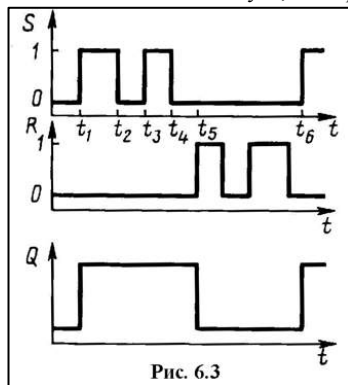


Рис. 6.3

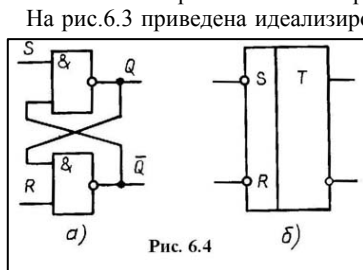


Рис. 6.4

На рис.6.3 приведена идеализированная временная диаграмма RS-триггера, на которой время переключения триггера принято равным нулю. Предполагается, что до момента t_1 $S=0$, $R=0$, а триггер находится в состоянии $Q=0$. В момент t_1 комбинация $S=1$, $R=0$ переключает триггер в состояние $Q=1$. При $t=t_2$ на входах устанавливается сочетание $S=0$, $R=0$, при котором состояние триггера сохраняется прежним. Комбинация $S=1$, $R=0$, появляющаяся в момент t_3 , и комбинация $S=0$, $R=0$ в момент t_4 никаких изменений не вносят, по-прежнему $Q=1$. Только в момент t_5 сочетание $S=0$, $R=1$ вызывает переключение триггера в состояние $Q=0$. Вслед за этим изменение логической переменной на входе R состояния триггера не меняет. Новое переключение происходит в момент t_6 при поступлении на входы комбинации $S=1$, $R=0$. Заметим, что запрещенное сочетание сигналов $S=1$, $R=1$ на диаграмме отсутствует.

RS -триггер на элементах И-НЕ (рис. 6.4,а). Для элемента И-НЕ активным сигналом является логический 0: наличие его хотя бы на одном входе обуславливает на выходе логическую 1 независимо от сигналов на других входах. Логическая 1 для такого элемента является пассивным сигналом: с ее поступлением на вход состояние выхода элемента не изменяется. В силу сказанного триггер на элементах И-НЕ переключается логическим 0. На условном изображении такого триггера (рис. 6.4,б) это отражают инверсными входами.

Нетрудно понять, что для данного триггера комбинация входных сигналов $S=0$, $R=0$ является запрещенной, а комбинация $S=1$, $R=1$ не меняет его предыдущего состояния. С учетом изложенного просто рассмотреть переключения триггера, что читатель легко сделает самостоятельно.

Блок 6.3 Тактируемые триггеры

На входы логического элемента или устройства сигналы не всегда поступают одновременно, так как перед этим они могут проходить через разное число элементов, не обладающих к тому же одинаковой задержкой. Это явление описывают как состязания или гонки сигналов. В результате в течение некоторого времени на входах создается непредвиденная ситуация: новые значения одних сигналов сочетаются с предыдущими значениями других, что может привести к ложному срабатыванию элемента (устройства). Последствия гонок можно устранить временным стробированием, когда на элемент, кроме информационных сигналов, подаются тактирующие (синхронизирующие) импульсы, к моменту прихода которых информационные сигналы заведомо успевают установиться на входах.

Тактируемый триггер, кроме информационных входов, имеет синхронизирующий (тактирующий, тактовый) вход; сигналы на информационных входах воздействуют на такой триггер только с поступлением сигнала на синхронизирующий вход.

6.3.1. Структуры триггеров

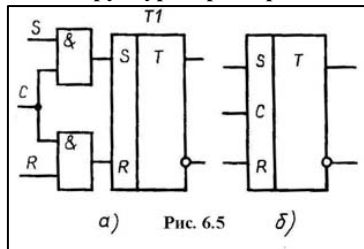


Рис. 6.5

Тактируемый RS-триггер (рис.6.5,а). Схема такого триггера (собранный на элементах ИЛИ-НЕ) содержит асинхронный RS-триггер Т1 и два конъюнктора входной логики. Последние передают переключающую логическую 1 с информационного S- или R-входа на соответствующие входы Т1 только при наличии на синхронизирующем входе С логической 1. При $C=0$ информация с S- и R-входов на триггер Т1 не передается.

Рассматриваемый триггер может быть выполнен и на запоминающей ячейке, реализованной на элементах И-НЕ.

Условное изображение тактируемого триггера приведено на рис. 6.5,б. В тексте тактируемый RS-триггер сокращенно обозначают как RSC-триггер.

Синхронизирующие входы триггера могут быть статическими и динамическими. Статический вход не теряет своего управляющего действия, пока на нем присутствует тактовый (синхро) импульс. Такие входы имеет триггер, изображенный на рис. 6.5,а. В присутствии тактового импульса эти триггеры будут менять свое состояние при каждой смене комбинаций логических потенциалов на входах S и R. Динамический синхровход воздействует на состояние выходов триггера в момент своего появления (передним фронтом) или окончания (задним фронтом).

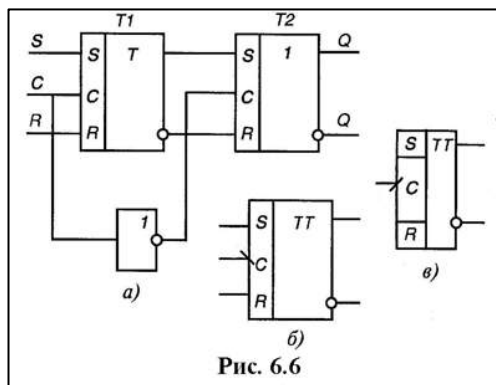


Рис. 6.6

Двухступенчатый тактируемый RS-триггер (рис.6.6,а). Каждая ступень такого триггера представляет собой тактируемый RS-триггер. При появлении на входе С логической 1 триггер Т1 воспринимает информацию на входах S и R, определяющую его состояние. В это время на С-входе триггера Т2 за счет инвертора – логический 0, и информация с выходов Т1 не воздействует на Т2. В момент окончания действия логической 1 на входе С ($C=0$) на выходе инвертора появляется логическая 1, разрешающая перезапись в Т2 информации из Т1. Таким образом, в первую ступень информация с входов S и R записывается с поступлением тактового импульса, т. е. по его переднему фронту; состояние первой ступени передается второй с окончанием тактового импульса, т. е. по его срезу. По этому внешнему проявлению тактирующего импульса С-вход описанного триггера можно рассматривать как динамический.

Условное изображение двухступенчатого RS-триггера, в котором переключение выходов второй ступени триггера происходит перепадом входного сигнала из 1 в 0 (перепадом 1 / 0), приведено на рис.6.6,б. Условное изображение триггера с С-входом, переключающим триггер перепадом 0 / 1, приведено на рис. 6.6, в.

Тактируемый (синхронный) триггер обычно имеет дополнительные асинхронные входы, но которым он вне зависимости от сигнала на тактовом входе переключается в состояние 1 (по входу S) или в 0 (по входу R). Такие входы называют неактивируемыми или асинхронными. Логические потенциалы на них воздействуют на запоминающие ячейки триггера непосредственно (для чего эти ячейки триггера выполнены на трехходовых элементах), минуя входную логику.

Условное изображение двухступенчатого триггера с инверсными асинхронными входами приведено на рис. 6.7.

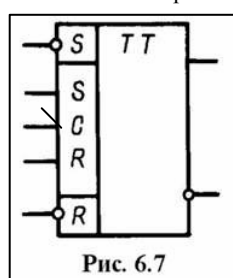


Рис. 6.7

повторителем: на повторение вход C, т. е. с входе. При C=0

хранит информацию, поступившую с D-входа при C = 1. Так как в D - триггере информация поступает по одной линии – на D-вход, то явление гонок не проявляется. Поэтому в быстродействующих цифровых устройствах используют D-триггеры.

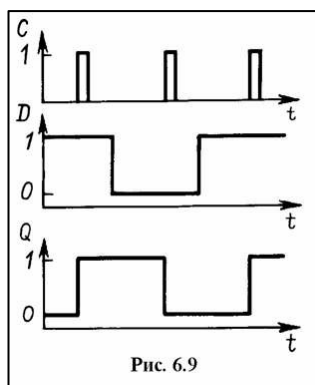


Рис. 6.9

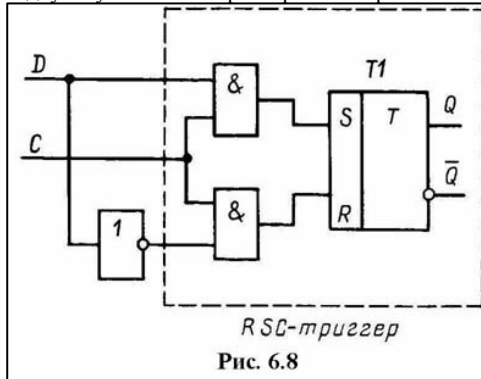
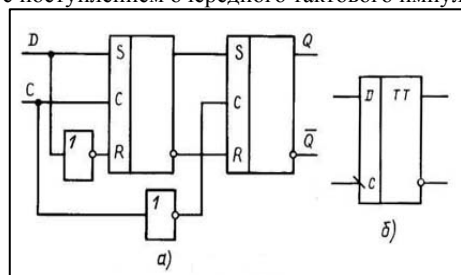


Рис. 6.8

D-триггер (триггер задержки) – рис. 6.8. D-триггер имеет один информационный D-вход и тактовый C-вход. Он состоит из синхронного RSC-триггера, дополненного инвертором. При C=1 потенциал D-входа передается на S-вход триггера T1 (S=D), а на входе R устанавливается потенциал $R = \overline{D}$: сигналы на входах оказываются взаимно инвертированными. Это приводит к тому, что любой сигнал на входе D создает на S- и R-входах комбинацию (S=1, R=0 или S=0, R=1), способную переключить триггер в состояние Q=S=D. Таким образом, при C=1 D-триггер является выхodem Q повторяется потенциал входа D. Однако это начинается только с поступлением тактового импульса на задержкой относительно сменившегося потенциала на D-триггер T1 и D-вход разобщены, поэтому S=0 и триггер

На рис. 6.9 приведены временные диаграммы D-триггера. Выход Q повторяет состояние D-входа с поступлением очередного тактового импульса на вход C, т. е. с задержкой.



падом 1/0 приведено на рис. 6.10,б.

D-триггер можно выполнить двухступенчатым. При этом его первая ступень представляет собой одноступенчатый D-триггер, а вторая может быть синхронным RSC-триггером (рис. 6.10,а). Состояние D-входа передается первой ступени с приходом тактового импульса, т. е. по его переднему фронту; вторая ступень (триггер в целом) принимает состояние первой с окончанием тактового импульса, т. е. по его заднему фронту. Условное изображение двухтактного D-триггера, переключающегося перепадом 1/0 приведено на рис. 6.10,б.

JK - триггер. Такой триггер имеет информационные входы J и K, которые по своему влиянию аналогичны входам S и R тактируемого RSC-триггера: при J=1, K=0 триггер по тактовому импульсу устанавливается в состояние Q=1; при J=0, K=1 – переключается в состояние Q=0, а при J=K=0 – хранит ранее принятую информацию. Но в отличие от RSC-триггера одновременное присутствие логических 1 на информационных входах не является для JK-триггера запрещенной комбинацией. Она будет рассмотрена далее.

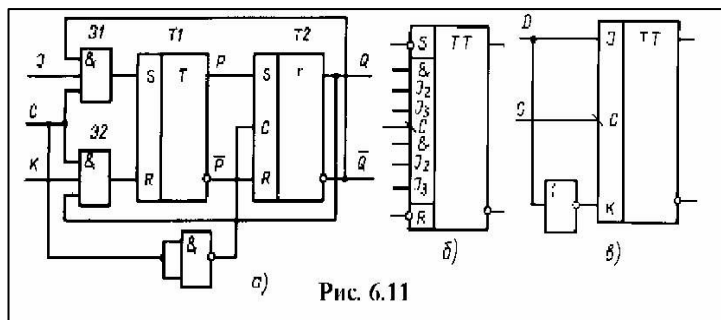


Рис. 6.11

На рис. 6.11,а изображена одна из функциональных схем JK-триггера. Ее отличительной особенностью являются перекрестные связи выходов триггера с входами конъюнкторов входной логики. Благодаря им на эти входы после каждого переключения триггера передаются потенциалы, обратные тем, какие были перед предыдущим переключением, и которые поэтому в состоянии обеспечить новое переключение триггера в противоположное состояние.

Для создания информационных входов J и K элементы Э1 и Э2 входной логики первой ступени выбраны трехходовыми. Переключение выходов второй ступени триггера происходит перепадом 1/0 на C-входе.

При J=K=0 на входах элементов Э1 и Э2 устанавливаются логические 0, которые для триггеров с прямыми входами являются пассивными сигналами – триггер T1 и, следовательно, JK-триггер в целом сохраняют прежнее состояние. Чтобы на выходе элемента Э1 появилась логическая 1 (которой триггер T1 может переключаться в состояние P=1), на его входах необходимо присутствие сигналов J=1, C=1, а также логической 1 с выхода \overline{Q} . Аналогично, логическая 1 будет на выходе элемента Э2, когда K=1, C=1 и Q=1. Таким образом, комбинация J=1, K=0 обеспечивает по тактовому импульсу переключение JK-триггера в целом в состояние Q=1, а комбинация J=0, K=1 – в состояние Q=0.

На рис. 6.11,б приведено изображение JK- триггера с тремя объединенными конъюнкцией входами J, с тремя объединенными конъюнкцией входами K и с входами S и R асинхронной установки. На рис. 6.11, в показана реализация D-триггера на базе JK-триггера.

Блок 6.4. Счетные триггеры

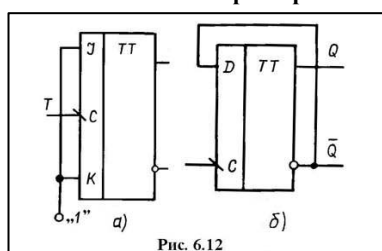


Рис. 6.12

Счетный триггер (Т-триггер) отличается тем, что он переключается с поступлением каждого импульса на тактовом входе, называемом в таком триггере счетным. Счетный триггер можно реализовать на базе JK-триггера. Логическая 1 на одном из входов элемента И не определяет потенциал на его выходе, поэтому сочетание J=K=1 не влияет на входную логику первой ступени триггера. Теперь она получает информацию только с выходов триггера (см.рис.6.11,а), которая устанавливает ее в положение, когда с приходом счетного импульса начнется очередное переключение – JK-триггер работает в счетном режиме. Реализация счетного режима на JK- триггере приведена на рис 6.12,а.

Счетный триггер просто реализуется и на D-триггере (рис. 6.12, б). Если после каждого пе-

реключения обеспечить автоматическую смену уровня потенциала на D-входе, то с каждым импульсом на С-входе триггер будет менять свое состояние. Указанная смена потенциала будет осуществляться, если D-вход соединить с выходом \overline{Q} . Вторая перекрестная связь (аналогичная связи в JK- триггере) обеспечивается за счет соединения D-входа с R-входом запоминающей ячейки триггера через инвертор (см.рис.6.8).

Блок 6.5. Триггер Шмитта

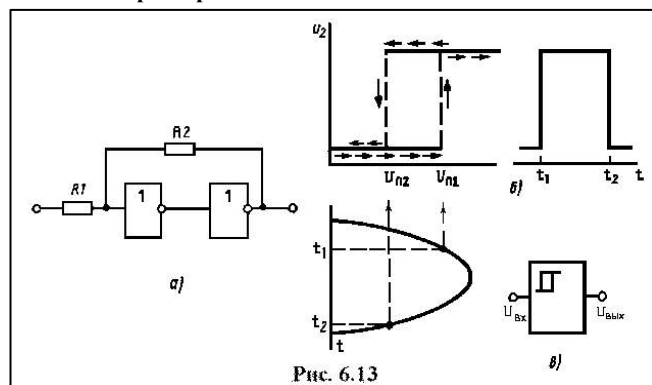


Рис. 6.13

Этот триггер (рис. 6.13,а) стоит особняком в семействе триггеров: он имеет один вход, один выход и не обладает свойствами запоминающего элемента. Триггер содержит два инвертора, охваченных положительной обратной связью, за счет чего выход схемы может изменять свое состояние лавинообразно.

На выходе инвертора потенциал с лог. 0 на лог. 1 изменяется при большем входном напряжении, чем при изменении с лог.1 на лог.0 (см.блок 2.4). Поэтому схема (рис. 6.13,а) обладает гистерезисом (рис. 6.13, б). Это позволяет использовать ее в качестве формирователя прямоугольных импульсов из входного напряжения, в частности, из синусоидального.

Условное изображение триггера Шмитта приведено на рис. 6.13,в.

Вопросы для самоконтроля

Введите в компьютер буквенное обозначение триггера, обладающего наибольшим быстродействием (аналогичные элементы сравниваемых триггеров имеют одинаковое быстродействие).

Введите в компьютер английскую аббревиатуру названия входов тактируемого RS-триггера, чтобы он мог использоваться как не-тактируемый.

3 Введите в компьютер значение коэффициента объединения, которым должны обладать элементы входной логики JK-триггера, имеющего 3 входа J, 3 входа K, а также входы S и R асинхронной установки.

Задачи к модулю "Триггеры"

Составьте схему одноступенчатого тактируемого триггера с прямыми входами, основу которого составляет RS-триггер с инверсными входами.

Составьте схему счетного триггера, с тем, чтобы переключающий его перепад 1/0 изменился на перепад 0/1.

Заключение по теме модуля "Триггеры"

Триггеры (исключая триггер Шмитта) являются запоминающими элементами. Они используются сами по себе и составляют основу счетчиков, регистров и запоминающих устройств, которые будут далее изложены в учебнике.

Триггеры делятся на нетактируемые (асинхронные) и тактируемые (синхронные). Тактируемые триггеры нечувствительны к гонкам ("состояниям") сигналов, поступающим на входы.

На базе JK-триггера могут быть реализованы триггер задержки (D-триггер) и счетный (Т-триггер). Счетный триггер может быть выполнен и на базе D-триггера.

Указания к вопросам и задачам

Указание к вопросу 3. Коэффициент объединения численно равен количеству логических входов элемента.

Указания к задаче1.: 1) Триггер с прямыми входами начинает переключение логической единицей на соответствующем входе; 2) Вспомните, а) какой логический потенциал (1 или 0) начинает переключение триггера на элементах И-НЕ; б) на выходе какого двухвходового элемента будет лог. 0 при наличии лог.1 на обоих входах.

Литература

1. Калабеков Б.А. Цифровые устройства и микропроцессорные системы – М.: Телеком, 2000г., с. 98...109.
2. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре – Л.: Энергоиздат, 1986 г., с. 162...195.
3. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства – М.: Радио и связь, 1992 г., с. 188...222.
4. Потемкин И.С. Функциональные узлы цифровой автоматики –М.: Энергоатомиздат, 1988 г., с. 166...206.
5. Сайт в интернете: WWW. abc. WSV.ru
6. Сайты в интернете : rff.tsu.ru, pub. mirea. ac. ru, foroff. phys. msu.ru