

МОДУЛЬ 3. ДЕШИФРАТОРЫ И ШИФРАТОРЫ

Блок 3.1. Общие сведения

Дешифраторы и шифраторы (также, как и элементы И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ) являются комбинационными элементами: потенциалы на их выходах зависят от сиюминутного состояния входов, с их изменением меняется и ситуация на выходах; такие элементы не сохраняют предыдущее состояние после смены потенциалов на входах, т.е. не обладают памятью.

Дешифраторы могут быть полными и неполными. Полные дешифраторы реагируют на все входные коды, неполные – на коды, величина которых не превосходит некоторого заранее установленного значения. Выходы дешифраторов могут быть прямыми и инверсными.

Шифраторы выпускаются приоритетными и не приоритетными. У приоритетного шифратора входы имеют разный приоритет. Возбужденный вход с большим приоритетом подавляет действие прежде возбужденного и устанавливает на выходах код, соответствующий своему значению.

Сведения о рассматриваемых элементах, классификация которых графически отражена на рис. 3.1, будут подробно изложены далее.

Знание материала, излагаемого в данной теме, дадут студенту возможность правильного выбора дешифраторов и шифраторов в зависимости от требуемой разрядности, необходимости использования управляющих входов этих элементов и категории выходов. Он научится организовывать структуры с большим числом входов на маловходовых элементах, а также осуществлять адресацию устройств кодами, разрядность которых превосходит разрядность используемых элементов.

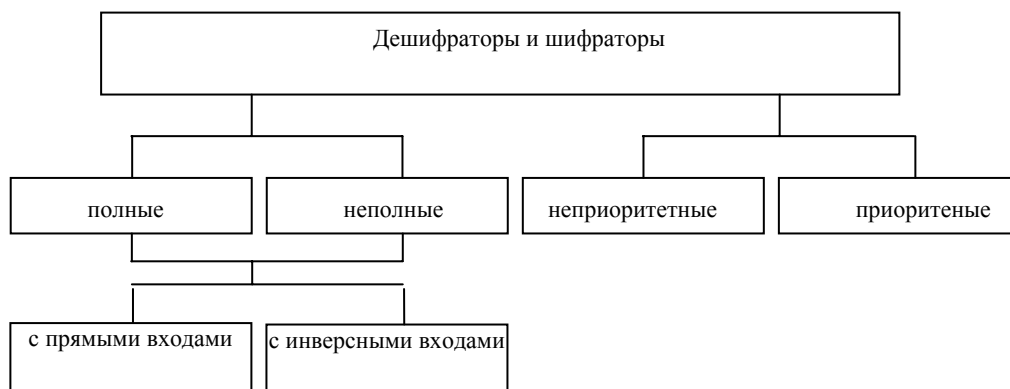


Рис. 3.1

Блок 3.2. Дешифраторы.

3.2.1. Структура дешифратора.

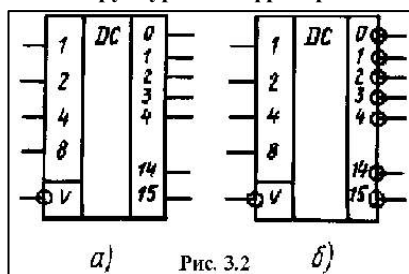


Рис. 3.2

Каждому цифровому коду на входах дешифратора (рис. 3.2, а,б) соответствует логическая 1 (или логический 0) на соответствующем выходе. Иными словами, каждый входной код адресует соответствующий выход, который при этом возбуждается. Поэтому входы дешифратора часто называют адресными. Стоящие возле них цифры (1,2,4...) показывают как соотносятся веса разрядов поступающего двоичного числа.

Выходы дешифратора оцифрованы десятичными числами. Возбуждается тот выход, номер которого равен весу входного кода, разряды которого имеют обозначенные веса (рис.3.2), т.е. дешифратор расшифровывает (дешифрирует) число, записанное в двоичном коде, представляя его логической 1 (логическим 0) на соответствующем выходе. Так, выход 5 возбуждается при входном коде 101, выход 6 – при входном коде 110 и т.д. Удобно

представлять, что выход дешифратора отображает возбуждивший его входной код.

Вход V является входом разрешения работы. Если он инверсный (обозначен кружком как на рис. 3.2), то для функционирования дешифратора на нем должен быть лог. 0 (достаточно этот вход соединить с общим проводом – “землей”). Прямой вход V через резистор соединяется с источником питания. Наличие входа разрешения расширяет функциональные возможности микросхемы.

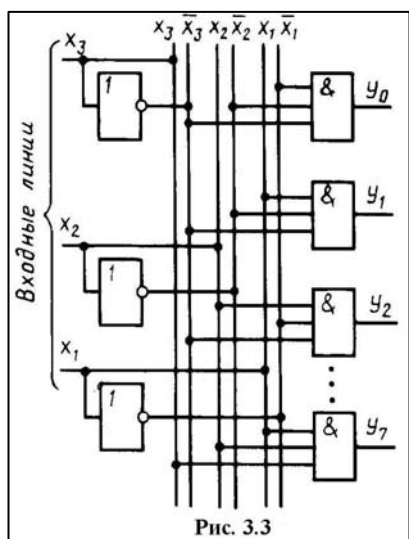


Рис. 3.3

Дешифратор выбирается так, чтобы число его входов соответствовало разрядности поступающих двоичных кодов. Число его выходов равно количеству различных кодов этой разрядности. Так как каждый разряд двоичного кода принимает два значения, то полное количество n-разрядных комбинаций (n-разрядных двоичных кодов) равно 2^n . Такое число выходов имеет полный дешифратор.

Неполный дешифратор выбирается, когда некоторые значения адресных кодов не отражают физической реальности. Так, например, дешифратор, предназначенный для фиксации двоичных кодов десятичного разряда (в нем могут быть цифры 0,1,2...9), должен иметь четыре входа (9_{10} отображается как 1001_2). Однако комбинации, большие 1001_2 отображают не цифру, а число, и поэтому (хотя и могут появляться на входах) не должны фиксироваться на выходах, число которых может не превышать десяти.

Основу структуры дешифратора могут составлять элементы И; выход каждого из них является выходом дешифратора. Если этот выход должен быть возбужден, то на входах элемента И должны собираться логические единицы. При этом разряды входного кода, в которых присутствуют логические единицы, должны поступать на входы элемента И непосредственно, а нулевые разряды должны инвертироваться.

Изложенный принцип положен в основу построения схемы, изображенной на рис.3.3. Логическая 1 на выходе Y_0 должна появляться, когда на входах X_3, X_2, X_1 присутствует двоичный код 000 десятичного числа 0. Поэтому входы верхнего (по схеме) конъюнктора должны быть соединены с линиями $\bar{X}_3, \bar{X}_2, \bar{X}_1$, на каждой из которых присутствует

логическая 1, когда на входах $X_3=X_2=X_1=0$. Логическая 1, к примеру, на выходе Y_2 должна появиться, когда на входах X_3, X_2, X_1 устанавливается код 010 десятичного числа 2, поэтому входы соответствующего конъюнктора должны быть соединены с линиями $\bar{X}_3, X_2, \bar{X}_1$, на каждой из которых имеется логическая 1, когда $X_3=0, X_2=1, X_1=0$. Аналогично соединяются с линиями входы других конъюнкторов.

Некоторые типы дешифраторов имеют инверсные выходы: на возбужденном (активизированном) выходе присутствует логический 0, в то время как на всех других – логические 1. Такие дешифраторы удобно использовать, когда активным сигналом для выбора (ввода в действие, инициализации) устройства с выхода дешифратора является логический 0.

3.2.2. Расширение разрядности дешифратора

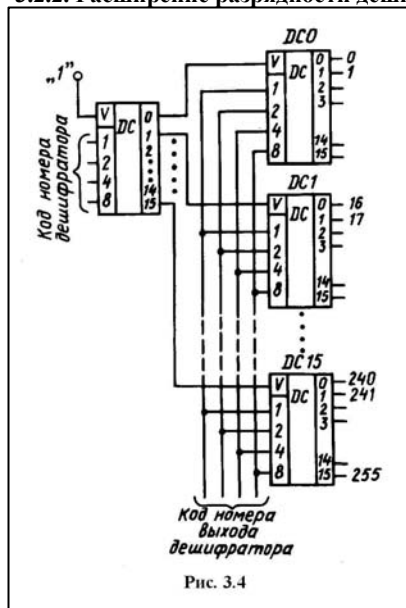


Рис. 3.4

Общий случай расширения разрядности дешифраторов иллюстрирует рис.3.4. Левый (по схеме) дешифратор постоянно активизирован логической 1 на входе V. Кодами на его адресных входах может быть активизирован (выбран) любой из дешифраторов DC0...DC15. Выбор одного из выходов 0...15 каждого из них определяется кодом на объединенных входах 1, 2, 4, 8. Таким образом, любой из 256 (2^8) выходов может быть активизирован восьмизначным кодом, четыре разряда которого выбирают номер дешифратора, а четыре – номер его выхода.

3.2.3. Применение дешифраторов

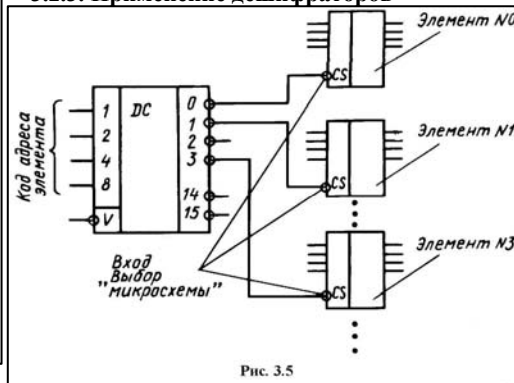


Рис. 3.5

Основное назначение дешифратора состоит в том, чтобы выбрать (адресовать, инициализировать) один объект из множества находящихся в устройстве. Рис. 3.5 иллюстрирует это применение. Каждому объекту присваивают определенный адрес (номер). Когда на входы дешифратора поступает двоичный код адреса, соответствующий элемент активизируется за счет появления логического 0 на связанном с ним выходе дешифратора, а остальные элементы остаются заблокированными.

один из выходов дешифратора на

Можно предусмотреть, чтобы с определенный блок поступал управляющий сигнал, когда на входах дешифратора появляется определенный код, соответствующий, например, превышению какого-либо параметра (температуры, напряжения и т.д.), который должен быть приведен к нормальному уровню указанным блоком.

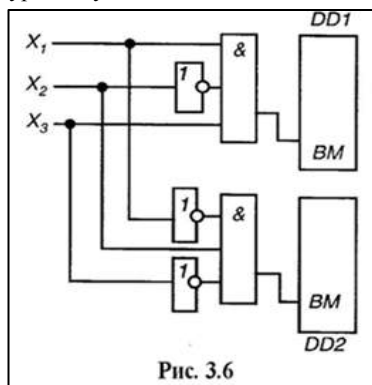


Рис. 3.6

Когда число адресуемых устройств невелико, многие выходы дешифратора остаются незадействованными. При этом может оказаться целесообразным (в частности, по экономическим соображениям) использовать не микросхему дешифратора, а реализовать ее фрагмент логическими элементами.

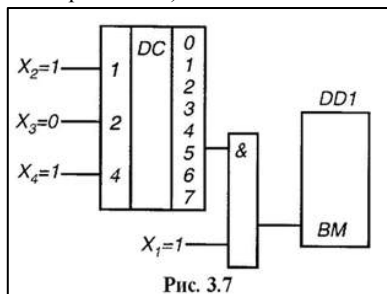


Рис. 3.7

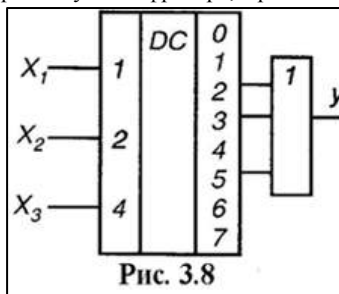


Рис. 3.8

скими элементами.

На рис. 3.6 представлена схема, составленная с таким расчетом, чтобы устройство DD1 реагировало на код 101, а устройство DD2 – на код 010.

Аналогичный прием можно использовать, если адрес устройства

имеет большее число разрядов, чем число входов дешифратора. Рис. 3.7 иллюстрирует случай, когда устройство DD1 адресуется кодом 1011, при этом три старших разряда кода заводятся на дешифратор, активизируя выход №5, а младший разряд кода объединяется с ним конъюнкцией.

На дешифраторе могут быть реализованы логические функции. Пусть, к примеру, $y = \bar{x}_3 x_2 \bar{x}_1 + \bar{x}_3 x_2 x_1 + x_3 \bar{x}_2 x_1$. Логические переменные подаются на адресные входы дешифратора (рис.3.8). Первая конъюнкция (ее вес равен 2) возбуждает выход №2, вторая – выход №3, третья – выход №5. Так как условие $y = 1$ должно иметь место при наличии любой из этих конъюнкций, то выходы 2, 3 и 5 надо объединить дизъюнкцией.

Блок 3.3. Шифраторы

3.3.1. Структура шифратора.

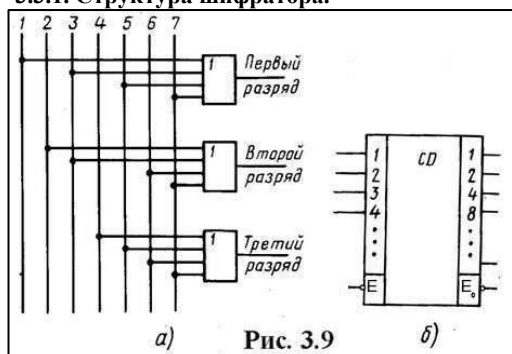


Рис. 3.9

Шифратор решает задачу, обратную дешифратору: в частности, на его выходах устанавливается двоичный код, соответствующий десятичному номеру возбужденного информационного входа.

При построении шифратора для получения на выходе натурального двоичного кода учитывают, что единицу в младшем разряде такого кода имеют нечетные десятичные цифры 1, 3, 5, 7, ..., т. е. на выходе младшего разряда должна быть 1, если она есть на входе №1 или на входе №3 и т. д. Поэтому входы под указанными номерами через элемент ИЛИ соединяются с выходом младшего разряда. Единицу во втором разряде двоичного кода имеют десятичные цифры 2, 3, 6, 7, ...; входы с этими номерами через элемент ИЛИ должны подключаться к выходу шифратора, на котором устанавливается второй разряд кода. Аналогично, входы 4, 5, 6, 7, ... через элемент ИЛИ должны быть соединены с выходом, на

котором устанавливается третий разряд, так как их коды имеют в этом разряде единицу, и т. д.

Схема шифратора, построенная в соответствии с изложенным принципом, приведена на рис. 3.9,а, а условное изображение – на рис. 3.9, б, где Е – вход разрешения работы, а Е₀ – выход, логический 0 на котором свидетельствует о том, что ни один информационный вход не возбужден. Для расширения разрядности (каскадирования) шифраторов вход Е последующего шифратора соединяют с выходом Е₀ предыдущего. Если информационные входы предыдущего шифратора не возбуждены (Е₀=0), то последующий шифратор получает разрешение работать.

3.3.2. Применение шифраторов

Шифратор может быть организован не только для представления (кодирования) десятичного числа двоичным кодом, но и для выдачи определенного кода (его значение заранее выбирается), например, при нажатии клавиши с соответствующим символом. При появлении этого кода система оповещается о том, что нажата определенная клавиша клавиатуры.

Шифраторы применяются в устройствах, преобразующих один вид кода в другой. При этом вначале дешифрируется комбинация исходного кода, в результате чего на соответствующем выходе дешифратора появляется логическая 1. Это отображение входного кода, значение которого определено номером возбужденного выхода дешифратора, подается на шифратор, организованный с таким расчетом, чтобы каждый входной код вызывал появление заданного выходного кода. Конкретный пример такого преобразования будет рассмотрен в третьей части учебника.

Вопросы для самоконтроля

1. Введите в компьютер число, равное минимальной разрядности, какую должен иметь дешифратор для адресации 11-ти устройств.
2. Введите в компьютер буквенное обозначение выходных элементов дешифратора, имеющего инверсные выходы.
3. Введите в компьютер значение коэффициента объединения по входу (Коб), который должны иметь выходные элементы дешифратора, снабженного входом "Разрешение работы" и имеющего 8 выходов.
4. Введите в компьютер число входов, которое должен иметь неполный дешифратор, имеющий 10 выходов.
5. Введите в компьютер код, который следует установить на входе дешифратора, чтобы возбудить выход # 11.
6. Введите в компьютер число, равное общему количеству входов каждого выходного элемента дешифратора, имеющего 16 выходов и вход "Разрешения работы".
7. Введите в компьютер номер возбужденного входа шифратора, если на выходе установился код 0110.

Задачи к модулю "Дешифраторы и шифраторы"

1. Составьте схему фрагмента четырехвходового дешифратора, на выходе которого должен устанавливаться логический 0 при входном коде 1011.
2. Составьте схему фрагмента шифратора, на выходе которого должен устанавливаться четырехэлементный код 1001 при возбуждении входа # 5.
3. На базе дешифратора реализуйте логическую функцию
$$y = \bar{x}_3 x_2 x_1 + \bar{x}_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 x_1 + \bar{x}_3 \bar{x}_2 \bar{x}_1.$$
4. Введите в компьютер число, соответствующее минимальному количеству входов, которое должен иметь ведущий дешифратор в схеме расширения разрядности, чтобы при 3-разрядных ведомых дешифраторах получить 32 выхода. Составьте схему такого устройства.
5. Составьте схему, в которой выход 5 трехвходового дешифратора не возбуждается входным кодом.
6. Составьте схему расширения разрядности и введите в компьютер адреса на входах ведущего и ведомых 3-х входовых дешифраторов для возбуждения 10-го выхода устройства с 3-го выхода ведущего.

Заключение по теме модуля "Дешифраторы и шифраторы"

Основное назначение дешифратора – адресовать каждым входным кодом определенный блок устройства из множества присутствующих в схеме.

Шифратор имеет противоположное назначение: каждый возбужденный вход генерирует на выходе соответствующий двоичный код.

Разрядность дешифратора и шифратора может быть расширена, что дает возможность выбирать исходные элементы малоразрядными, что в ряде случаев диктуется ограниченностью выбора и экономическими соображениями.

Указания к вопросам и задачам

Указание к вопросу 1: Вспомните соотношение между числом входов и числом выходов полного дешифратора.

Указания к вопросу 3: 1). Коэффициент Коб численно равен числу логических входов элемента; 2) Подумайте, сколько входов должен иметь рассматриваемый дешифратор и со скольких входов должен получать информацию каждый выходной элемент дешифратора.

Указание к вопросу 4: Используйте соотношение между числом входов и выходов полного дешифратора.

Указание к вопросу 6: Учтите нелогические входы и вход "Разрешение работы".

Указания к задаче 3: 1) Каждая конъюнкция заданной функции должна возбуждать соответствующий выход дешифратора; 2) Заданная функция является логической суммой конъюнкций.

Указания к задаче 4: 1) Определите требуемое число ведомых дешифраторов; 2) Вспомните, в каком соотношении находятся числа входов и выходов дешифратора.

Указания к задаче 5: 1) Определите входной код, возбуждающий выход 5; 2) Воспользуйтесь входом "Разрешение работы".

Литература

1. Калабеков Б.А. Цифровые устройства и микропроцессорные системы – М.: Телеком, 2000г., с. 110...122
2. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре – Л.: Энергоиздат, 1986 г., с. 111...122.
3. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства – М.: Радио и связь, 1992 г., с. 162...169.
4. Потемкин И.С. Функциональные узлы цифровой автоматики – М.: Энергоатомиздат, 1988 г., с. 87...96, 102...107.
5. Сайт в интернете: WWW. abc. WSV.ru
6. Сайты в интернете : rff.tsu.ru, pub. mirea. ac. ru